

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-337657

(43)Date of publication of application : 07.12.2001

(51)Int.Cl.

G09G 3/36

G02F 1/133

G09G 3/20

(21)Application number : 2000-158365

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.05.2000

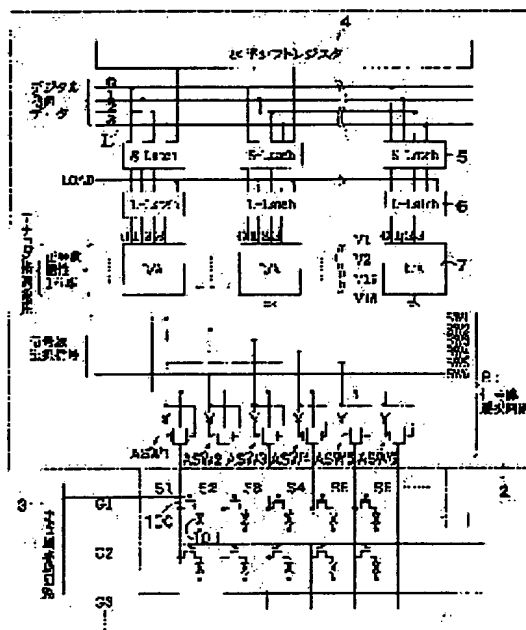
(72)Inventor : MORITA TETSUO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device which can simplify a configuration of a signal line drive circuit.

SOLUTION: The liquid crystal display device in this particular invention is equipped with a sampling latch circuit, a load latch circuit and a D/A conversion circuit the total number of which is equal to 1/6 of the total signal lines and drives the signal line skipping every 6 lines at one stroke in six separate occasions. This can reduce a packaging area for the signal line drive circuit. V inverse drive can easily be realized only by switching one polarity of an analog gradation voltage in the first half and the end half of a horizontal line period because after an odd-numbered signal line is driven in the first half of one horizontal line period and an even-numbered signal line is driven in its end half. In other words, the voltage control becomes easy and not susceptible to a noise impact because the number of occasions in the voltage polarity switching can be reduced. And, although both a gradation power source wiring for a positive electrode and the gradation power source wiring for a negative electrode are used to be required, their total number can be reduced to half and the wiring area can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

特開 2001-337657

(P 2001-337657A)

(43) 公開日 平成13年12月7日 (2001. 12. 7)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2H093
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5C006
	5 7 5		5 7 5 5C080
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 M
	6 2 3		6 2 3 V
審査請求 未請求 請求項の数 10 O L		(全 12 頁)	最終頁に続く

(21) 出願番号 特願2000-158365 (P2000-158365)

(22) 出願日 平成12年5月29日 (2000. 5. 29)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 森 田 哲 生

埼玉県深谷市幡羅町1-9-2 株式会社東

芝深谷工場内

(74) 代理人 100064285

弁理士 佐藤 一雄 (外3名)

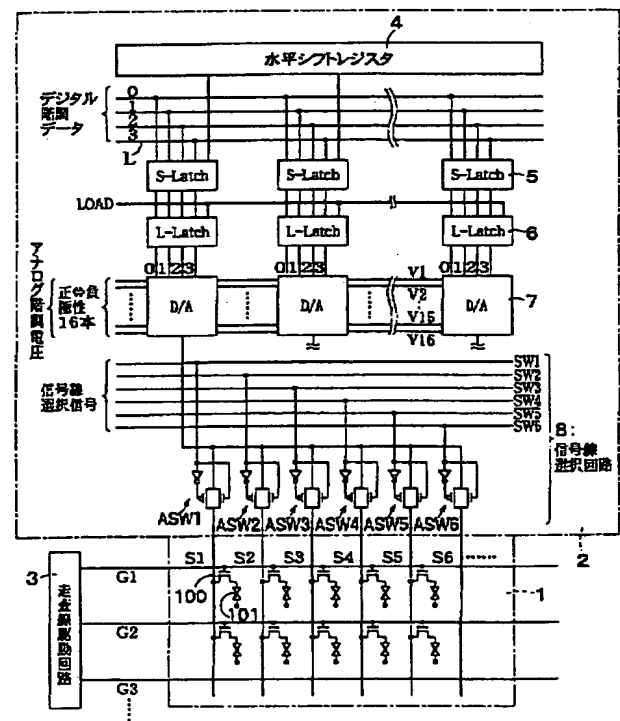
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 信号線駆動回路の構成を簡略化することができる液晶表示装置を提供する。

【解決手段】 本発明の液晶表示装置は、サンプリングラッチ回路、ロードラッチ回路およびD/A変換回路を信号線の総数の1/6個だけ備え、信号線を6本おきに6回に分けて駆動する。これにより、信号線駆動回路の実装面積を削減できる。また、1水平ライン期間の前半で奇数番目の信号線を駆動した後、後半で偶数番目の信号線を駆動するため、1水平ライン期間の前半と後半でアナログ階調電圧の極性を切り替えるだけで、容易にV反転駆動を実現できる。すなわち、電圧極性を切り替える回数が少なくなるため、電圧制御が容易になり、ノイズの影響も受けにくくなる。また、従来は正極性用の階調電源配線と負極性用の階調電源配線が必要であったが、その本数を半分に減らすことができ、配線領域を削減できる。



【特許請求の範囲】

【請求項 1】縦横に列設された信号線および走査線と、信号線および走査線の交点付近に形成された画素トランジスタと、を備えた液晶表示装置において、複数ビットからなるデジタル階調データをそれぞれ異なるタイミングでラッチする複数の第 1 ラッチ回路と、前記複数の第 1 ラッチ回路それぞれに対応して設けられ、前記複数の第 1 ラッチ回路のそれぞれでラッチされたラッチデータを同タイミングでラッチする複数の第 2 ラッチ回路と、前記複数の第 2 ラッチ回路それぞれに対応して設けられ、前記複数の第 2 ラッチ回路のそれぞれでラッチされたラッチデータをアナログ階調電圧に変換する複数の D/A 変換回路と、信号線が複数本おきに複数回に分けて駆動されるように、各信号線に前記アナログ階調電圧を供給するか否かを切り替える信号線選択回路と、を備えることを特徴とする液晶表示装置。

【請求項 2】前記信号線選択回路は、信号線それぞれに対応して設けられ前記アナログ階調電圧に対応する信号線に供給するか否かを切り替える複数のアナログスイッチを有し、信号線が複数本おきに複数回に分けて駆動されるように前記複数のアナログスイッチをオン・オフ制御することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】前記第 1 ラッチ回路、前記第 2 ラッチ回路、前記 D/A 変換回路、および前記アナログスイッチは、信号線、走査線および画素トランジスタと同一の絶縁基板上に形成され、前記アナログスイッチは、前記 D/A 変換回路それぞれに対応して複数個ずつ設けられ、これら複数個の前記アナログスイッチが一つずつ順繰りにオンされることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】信号線の総数を n (n は 2 以上の整数) としたとき、前記第 1 ラッチ回路、前記第 2 ラッチ回路、および前記 D/A 変換回路は、 n/m ($2 \leq m < n/2$ で、 n/m は整数) 個設けられ、前記アナログスイッチは、前記 D/A 変換回路それぞれに対して m 個ずつ設けられることを特徴とする請求項 2 または 3 のいずれかに記載の液晶表示装置。

【請求項 5】前記第 1 ラッチ回路にデジタル階調データを供給するデジタル階調データ供給回路を備え、前記デジタル階調データ供給回路は、 m 本おきの信号線に対応する前記デジタル階調データを前記第 1 ラッチ回路に順に供給することを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】前記第 1 ラッチ回路は、デジタル階調データをラッチする際に第 1 の電圧範囲のデジタル階調データに変換する第 1 レベル変換回路を備えることを特徴とする請求項 1 ～ 5 のいずれかに記載の液晶表示装置。

【請求項 7】前記第 2 ラッチ回路と前記 D/A 変換回路との間に介挿され、前記第 2 ラッチ回路から出力されたデジタル階調データを第 2 の電圧範囲のデジタル階調データに変換する第 2 レベル変換回路を備え、前記 D/A 変換回路は、前記第 2 レベル変換回路の出力に基づいて、アナログ階調電圧への変換を行うことを特徴とする請求項 1 ～ 6 のいずれかに記載の液晶表示装置。

【請求項 8】前記 D/A 変換回路は、
10 第 1 の電圧端子と第 2 の電圧端子との間に直列接続された複数の抵抗素子と、前記第 2 ラッチ回路の出力に基づいて、前記複数の抵抗素子それぞれの接続点の電圧のいずれかを選択して対応する信号線に供給する選択回路と、を有し、前記第 1 および第 2 の電圧端子には、前記絶縁基板の外部からそれぞれ異なる電圧レベルの電圧が供給されることを特徴とする請求項 1 ～ 7 のいずれかに記載の液晶表示装置。

【請求項 9】前記複数の抵抗素子それぞれの接続点に接続された複数の電流増幅回路を備え、前記選択回路は、前記第 2 ラッチ回路の出力に基づいて、前記電流増幅回路の出力のいずれかを選択することを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 10】前記複数の第 1 ラッチ回路それぞれのラッチタイミング信号を出力するシフトレジスタを備え、前記複数の第 2 ラッチ回路は、前記シフトレジスタの出力により生成されるロード信号に基づいてラッチ動作を行うことを特徴とする請求項 1 ～ 9 のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、外部から供給されたデジタル階調データをアレイ基板内でアナログ階調電圧に変換して信号線を駆動する液晶表示装置に関し、特に、信号線駆動回路をアレイ基板内に形成する技術に関する。

【0002】

【従来の技術】一般に、アクティブマトリクス型の液晶表示装置は、アレイ基板と対向基板との間に液晶層を挟んで封止した構造になっている。アレイ基板は、マトリクス状に配置される複数の画素電極と、これら画素電極に沿って行方向に配置される複数の走査線と、これら画素電極に沿って列方向に配置される複数の信号線と、信号線および走査線の交点付近に配置される画素 TFT とを有する。

【0003】画素 TFT は、走査線の電圧によりオン・オフし、オンした場合には、対応する信号線の電圧を画素電極に供給する。

【0004】最近の微細加工技術の進歩により、走査線を駆動する走査線駆動回路と、信号線を駆動する信号線

駆動回路とをアレイ基板上に形成することも技術的に可能になってきた。

【0005】図13は、外部から供給されたデジタル階調データに基づいて信号線を駆動する、従来のデジタル式の液晶表示装置の概略構成を示すブロック図である。

【0006】図13の液晶表示装置は、信号線および走査線が列設されたアレイ基板と、走査線を駆動する走査線駆動回路と、信号線を駆動する信号線駆動回路とを有する。

【0007】走査線駆動回路は、アレイ基板の外部から供給された垂直同期信号に基づいて垂直走査パルスを生

【0008】信号線駆動回路は、図13に示すように、水平シフトレジスタ4と、デジタルビデオバスライン1と、サンプリングラッチ回路5と、ロードラッチ回路6と、D/A変換回路7とを有する。

【0009】デジタルビデオバスライン1にはデジタル階調データが供給される。このデジタル階調データは、水平シフトレジスタ4からのタイミング信号によりサン

【0010】サンプリングラッチ回路5での一水平ライン分のデジタル階調データのラッチが終了するまでの時間は、一ライン期間と呼ばれる。

【0011】ロードラッチ回路6は、各サンプリングラッチ回路5がそれぞれ異なるタイミングでラッチしたデータを同タイミングでラッチする。ロードラッチ回路6でのラッチ動作が終了した後、各サンプリングラッチ回路5は次の水平ラインのラッチ動作を順に行う。

【0012】サンプリングラッチ回路5がラッチ動作を行っている最中に、その直前の水平ラインについて、D/A変換回路7はデジタル階調電圧をアナログ階調電圧に変換する。このアナログ階調電圧は、対応する信号線に供給される。上述した動作を繰り返すことにより、アレイ基板内の全画素表示領域に画像が表示される。

【0013】

【発明が解決しようとする課題】図13に示したデジタル階調方式の液晶表示装置の場合、サンプリングラッチ回路5、ロードラッチ回路6およびD/A変換回路7が占める面積が非常に大きいため、液晶表示装置全体を小型化するのが困難であった。

【0014】特に、最近、液晶表示装置の表示解像度は次第に高くなる傾向にあるが、図13の構成の場合、表示解像度が高くなるにつれて、サンプリングラッチ回路5、ロードラッチ回路6およびD/A変換回路7の数も増やさなければならなくなるため、表示解像度をあまり高くできないという問題がある。

【0015】本発明は、このような点に鑑みてなされたものであり、その目的は、信号線駆動回路の構成を簡略化することができる液晶表示装置を提供することにある。

【0016】

【課題を解決するための手段】上述した課題を解決するために、請求項1の発明は、縦横に列設された信号線および走査線と、信号線および走査線の交点付近に形成された画素トランジスタと、を備えた液晶表示装置において、複数ビットからなるデジタル階調データをそれぞれ異なるタイミングでラッチする複数の第1ラッチ回路と、前記複数の第1ラッチ回路それぞれに対応して設けられ、前記複数の第1ラッチ回路のそれぞれでラッチされたラッチデータを同タイミングでラッチする複数の第2ラッチ回路と、前記複数の第2ラッチ回路それぞれに対応して設けられ、前記複数の第2ラッチ回路のそれぞれでラッチされたラッチデータをアナログ階調電圧に変換する複数のD/A変換回路と、信号線が複数本おきに複数回に分けて駆動されるように、各信号線に前記アナログ階調電圧を供給するか否かを切り替える信号線選択回路と、を備える。

【0017】請求項1の発明では、信号線を複数本おきに複数回に分けて駆動するため、各回ごとに第1ラッチ回路、第2ラッチ回路およびD/A変換回路を共用でき、これら回路の数を削減できる。したがって、信号線駆動回路の構成を簡略化できる。

【0018】請求項2の発明では、D/A変換回路それぞれに対応してアナログスイッチを複数個設け、これらアナログスイッチのいずれか一つのみをオンさせるため、D/A変換回路の前段側の回路を共用できる。

【0019】請求項3の発明では、D/A変換回路それぞれに対応して複数設けられるアナログスイッチを順繰りにオンさせる信号線選択手段を設けたため、信号線を複数回に分けて駆動するのが容易になる。

【0020】請求項4の発明では、信号線の総数の1/m個だけ第1のラッチ回路、第2のラッチ回路およびD/A変換回路を設ければよいので、mの値が大きいほど、信号線駆動回路の回路規模を削減できる。

【0021】請求項5の発明では、m本おきの信号線に対応するデジタル階調データを第1ラッチ回路に供給するため、信号線をm本おきに駆動することが容易になる。

【0022】請求項6の発明では、デジタル階調データをラッチする際にレベル変換を行うため、絶縁基板の外側で、デジタル階調データのレベル変換を行う必要がなくなる。

【0023】請求項7の発明では、第2ラッチ回路とD/A変換回路との間でレベル変換を行うため、D/A変換回路の入力端子に最適なレベルに設定することができる。

【0024】請求項8の発明では、第1および第2の電圧端子間に供給される電圧によりアナログ階調電圧を生成するため、外部からアナログ階調電圧用の多種類の電圧を入力しなくてすむ。

【0025】請求項9の発明では、複数の抵抗素子それぞれの接続点に電流増幅回路を接続するため、抵抗素子に流す電流を少なくでき、消費電流を削減できる。

【0026】請求項10の発明では、第2ラッチ回路のラッチタイミングを示すロード信号をシフトレジスタの出力により生成するため、外部からロード信号を供給しなくてすみ、入力信号の数を削減できる。

【0027】

【発明の実施の形態】以下、本発明に係る液晶表示装置について、図面を参照しながら具体的に説明する。以下では、画素TFTが形成されるアレイ基板上に駆動回路を一体に形成する例を説明する。

【0028】(第1の実施形態)図1は本発明に係る液晶表示装置の第1の実施形態のブロック図である。図1の液晶表示装置は、信号線の6本ごとにラッチ回路とD/A変換回路を設け、これら回路を共用することにより、信号線駆動回路内のラッチ回路とD/A変換回路の数を削減することを特徴とする。

【0029】一般に、液晶層に対して常に同一方向に電圧を印加すると、液晶の配列が固まって液晶の動きが鈍くなり、黒ずんだ表示になることが知られている。このため、図2(a)に示すように液晶層に印加する電圧の極性を1垂直ラインごとに切り替えるVライン反転駆動や、図2(b)に示すように1画素単位で切り替えるHV反転駆動等の交流駆動方式を採用した液晶表示装置が提案されている。以下では、Vライン反転駆動を行う場合の例について説明する。

【0030】図1の液晶表示装置は、信号線および走査線が列設された画素アレイ部1と、各信号線を駆動する信号線駆動回路2と、各走査線を駆動する走査線駆動回路3とを備えている。

【0031】本実施形態では、画素アレイ部1が143×176画素の表示解像度を有する例について説明する。各画素ごとにRGBの3つの信号線が設けられるため、信号線の総数は、144×3=432本である。

【0032】画素アレイ部1には、信号線および走査線が列設されており、信号線および走査線の各交点付近にはTFT(Thin Film Transistor)100が形成されている。TFT100のゲート端子は走査線G1～Gnに接続され、TFT100のドレイン端子は信号線S1～Smに接続され、TFT100のソース端子には画素電極101が接続されている。

【0033】信号線駆動回路2は、水平シフトレジスタ4と、デジタルビデオバスラインLからのデジタル階調データをそれぞれ異なるタイミングでラッチする複数のサンプリングラッチ回路(S-Latch、第1ラッチ回路)5と、各サンプリングラッチ回路5でラッチされたデータを同タイミングでラッチする複数のロードラッチ回路(L-Latch、第2ラッチ回路)6と、各ロードラッチ回路6でラッチされたデータをアナログ階調電圧に変換する複

数のD/A変換回路7と、アナログ階調電圧を対応する信号線に供給する信号線選択回路8とを有する。

【0034】本実施形態では、4ビットのデジタル階調データの例を説明するが、デジタル階調データのビット数には特に制限はない。

【0035】信号線選択回路8は、D/A変換回路7それぞれに対して、6個のアナログスイッチASW1～ASW6を有する。これらアナログスイッチASW1～ASW6はそれぞれ別々の信号線に接続されている。各アナログスイッチASW1～ASW6は、信号線選択信号SW1～SW6に基づいて、いずれか一つのみがオンする。アナログスイッチASW1～ASW6がオンすると、D/A変換回路7からのアナログ階調電圧が対応する信号線に供給される。

【0036】図3は図1のD/A変換回路7の詳細構成を示す回路図である。図示のように、D/A変換回路7は、複数の4入力NANDゲートG1～G16と、各NANDゲートの出力によりオン・オフ制御されるスイッチSW1～SW16と、ロードラッチ回路6の出力をバッファリングするインバータIV1～IV4とを有する。スイッチSW1～SW16は、対応するNANDゲートの出力論理に応じてオン・オフする。スイッチSW1～SW16の一端にはそれぞれ異なる電圧が印加されており、スイッチがオンすると、一端側のアナログ階調電圧が他端側の信号線選択回路8に供給される。

【0037】NANDゲートG1～G16は、4ビットのデジタル階調データと、そのデータをインバータIV1～IV4で反転したデータとに基づいて論理演算を行う。この結果、デジタル階調データに応じて、いずれか一つのNANDゲートのみがローレベルを出力して、対応するスイッチがオンする。

【0038】図4は図1の液晶表示装置のタイミング図であり、デジタルビデオバスラインL上のデジタル階調データ、水平シフトレジスタ4から出力されるシフトパルス、サンプリングラッチ回路5でラッチされたデータ、ロードラッチ回路6に入力されるラッチパルス信号、信号線選択信号SW1～SW6、D/A変換回路7から出力されるアナログ階調電圧、および1水平ライン期間のタイミングを示している。

【0039】以下、図4のタイミング図を参照して図1の液晶表示装置の動作を説明する。水平シフトレジスタ4は、スタートパルスが入力された時点でシフト動作を開始し、水平シフトレジスタ4の各出力端子は、このスタートパルスを順にシフトしたシフトパルスを順に出力する。

【0040】サンプリングラッチ回路5は、水平シフトレジスタ4の対応する出力端子からシフトパルスが出力された時点で、デジタルビデオバスラインL上のデジタル階調データをラッチする。

【0041】デジタルビデオバスラインLには、6本お

きの信号線に対応するデジタル階調データが順に供給される。具体的には、以下の(1)～(6)の順序で、デジタル階調データがデジタルビデオバスラインLに供給される。

【0042】(1) まず、信号線S1→S7→S13→…→S427に対応するデジタル階調データがデジタルビデオバスラインLに供給される(図の時刻t1)。

【0043】(2) 次に、信号線S3→S9→S15→…→S429に対応するデジタル階調データがビデオバスラインに供給される(時刻t3)。

【0044】(3) 次に、信号線S5→S11→S17→…→S431に対応するデジタル階調データがビデオバスラインに供給される(時刻t5)。

【0045】(4) 次に、信号線S2→S8→S14→…→S428に対応するデジタル階調データがビデオバスラインに供給される(時刻t7)。

【0046】(5) 次に、信号線S4→S10→S16→…→S430に対応するデジタル階調データがビデオバスラインに供給される(時刻t9)。

【0047】(6) 次に、信号線S6→S12→S18→…→S432に対応するデジタル階調データがビデオバスラインに供給される(時刻t11)。

【0048】(1)～(6)までの処理を行った時点で、1水平ライン分の表示が完了し、時刻t13以降で次の表示が行われる。このように、第1の実施形態では、信号線を6本おきに6回に分けて駆動する。

【0049】サンプリングラッチ回路5は、デジタルビデオバスラインL上のデジタル階調データの周期に合わせてラッチ動作を行う。これにより、サンプリングラッチ回路5は、まず信号線S1, S7, S13, …S427に対応するデジタル階調データをラッチし(時刻t1～t2)、次に信号線S3, S9, S15, …S429に対応するデジタル階調データをラッチし(時刻t3～t4)、次に信号線S5, S11, S17, …S431に対応するデジタル階調データをラッチし(時刻t5～t6)、次に信号線S2, S8, S14, …S428に対応するデジタル階調データをラッチし(時刻t7～t8)、次に信号線S4, S10, S16, …S430に対応するデジタル階調データをラッチし(時刻t9～t10)、次に信号線S6, S12, S18, …S432に対応するデジタル階調データをラッチする(時刻t11～t12)。

【0050】ロードラッチ回路6は、すべてのサンプリングラッチ回路5が1回分のラッチを行った時点で、すべてのサンプリングラッチ回路5の出力を同時にラッチする(時刻t2, t4, t6, t8, t10, t12)。したがって、1水平ラインを表示する間に6回、ロードラッチ回路6はラッチ動作を行う。

【0051】また、ロードラッチ回路6がデータをラッチしている間に、サンプリングラッチ回路5は、次のデジタル階調データ(隣接する信号線に対応するデジタル

階調データ)をラッチする。

【0052】ロードラッチ回路6でラッチされたデジタル階調データは、D/A変換回路7にてアナログ階調電圧に変換される。D/A変換回路7には、1水平ライン期間の前半と後半で、互いに逆極性の電圧が供給される。例えば、図4は、nフレームにおける1水平ライン期間の前半に正極性の電圧が供給され、後半に負極性の電圧が供給される例を示している。この場合、次のフレームでは、1水平ライン期間の前半に負極性の電圧が供給され、後半に正極性の電圧が供給される。

【0053】D/A変換回路7から出力されたアナログ階調電圧は、信号線選択回路8で選択された信号線に供給される。信号線選択回路8は、信号線選択信号SW1～SW6の論理に応じて信号線を選択を行う。

【0054】信号線選択信号SW1～SW6は、SW1→SW3→SW5→SW2→SW4→SW6の順にハイレベルになる。したがって、信号線S1, S7, …S427→S3, S9, …S429→S5, S11, …S431→S2, S8, …S428→S4, S10, …S430→S6, S12, …S432の順に選択される。

【0055】このように、本実施形態の信号線駆動回路2は、1水平ライン期間の前半で奇数番目の信号線を駆動し、後半で偶数番目の信号線を駆動する。上述したように、1水平ライン期間の前半と後半で、D/A変換回路7から出力されるアナログ階調電圧の極性が互いに逆になるため、隣り合う信号線同士に互いに逆極性の電圧が供給され、図2(a)に示すようなV反転駆動が行われる。

【0056】V反転駆動の場合、図2(a)に示すように、フレームごとに、各信号線の電圧極性を切り替えるのが一般的であるため、D/A変換回路7に供給される電圧の極性をフレームごとに逆にすることにより、各信号線の電圧極性をフレームごとに切り替えることができる。1秒間あたりのフレーム数は、通常のCRTに合わせて、例えば60に設定される。

【0057】このように、本実施形態では、信号線を6本おきに駆動するため、サンプリングラッチ回路5、ロードラッチ回路6、およびD/A変換回路7を信号線の総数の1/6個だけ設ければよく、従来に比べて信号線駆動回路2の実装面積を削減できる。したがって、画素アレイ部1と信号線駆動回路2とを同一基板上に形成することができる。

【0058】また、1水平ライン期間の前半で奇数番目の信号線を駆動した後、後半で偶数番目の信号線を駆動するため、1水平ライン期間の前半と後半でアナログ階調電圧の極性を切り替えるだけで、容易にV反転駆動を実現できる。すなわち、電圧極性を切り替える回数が少なくなるため、電圧制御が容易になり、ノイズの影響も受けにくくなる。

【0059】さらに、従来は、図13に示すように、正

極性用の階調電源配線と負極性用の階調電源配線（両方合わせて 32 本）が必要であったが、本実施形態の場合、その本数を半分に減らすことができ、配線領域を削減できる。

【0060】また、従来は、デジタル階調データのビット数を n としたときに、極性判別信号を含めて $(n+1)$ 本必要であったデジタルビデオバスライン L を、 n 本に減らすことができる。

【0061】また、従来は、サンプリングラッチ回路 5、ロードラッチ回路 6、および D/A 変換回路 7 がいずれも、極性判別信号を含めて $(n+1)$ ビットのデジタルデータを処理する必要があったが、本実施形態は、各回路とも n ビットのデジタルデータを処理すればよくなる。このため、サンプリングラッチ回路 5、ロードラッチ回路 6、および D/A 変換回路 7 の実装面積を、それぞれ 1 ビット分削減できる。

【0062】（第 2 の実施形態）第 2 の実施形態は、第 1 の実施形態の具体例であり、16 階調の QCIF 規格（ 144×176 画素）の表示解像度をもつ液晶表示装置を構成する例を示している。

【0063】図 5 は本発明に係る液晶表示装置の第 2 の実施形態のブロック図であり、信号線駆動回路 2 の構成を示している。第 2 の実施形態の信号線駆動回路 2 は、水平シフトレジスタ 4 と、レベル変換回路 1 4 と、サンプリングラッチ回路 5 a と、ロードラッチ回路 6 と、階調選択部 1 1 と、信号線選択部 1 2 とを備えている。

【0064】水平シフトレジスタ 4 と外部入力端子 XSTU、/XSTU、XCKU、/XCKU との間には、保護ダイオード 1 3 とレベル変換回路 (L/S、第 1 レベル変換回路) 1 4 が接続されている。このレベル変換回路 1 4 は、外部入力端子 XSTU、XCKU に入力された各信号をレベル変換して、スタートパルス信号 xst とドットクロック信号 clk とを生成し、これら信号を水平シフトレジスタ 4 に供給する。

【0065】保護ダイオード 1 3 は、例えば図 6 に示すように、電源端子と接地端子間に直列接続された PMOS トランジスタ Q1、Q2 と NMOS トランジスタ Q3、Q4 とで構成される。なお、この保護ダイオード 1 3 は、必ずしも必須の構成ではない。

【0066】レベル変換回路 1 4 は、例えば図 7 のような回路で構成される。図示のレベル変換回路は、0~2.5V の電圧振幅をもつ入力信号 IN 、/ IN を、0~10V の電圧振幅をもつ出力信号 OUT 、/ OUT に変換する。

【0067】図 7 のレベル変換回路 1 4 は、PMOS トランジスタ Q5~Q9 と NMOS トランジスタ Q10~Q14 とで構成され、NMOS トランジスタ Q11、Q14 は差動増幅器を構成し、NMOS トランジスタ Q12、Q13 は差動増幅器を構成している。これら差動増幅器は、入力信号 IN 、/ IN の論理に応じた電圧を出力する。具体的には、NMOS トランジスタ Q13、Q14 のドレイン端子から 0~10V の電

圧振幅の信号が出力される。

【0068】水平シフトレジスタ 4 は、図 8 に詳細な回路図を示すように、クロックドインバータとインバータとを組み合わせで構成される。

【0069】サンプリングラッチ回路 5 a には、外部から 4 ビットのデジタル階調データが供給される。サンプリングラッチ回路 5 a は、内部に複数のラッチ回路（図 8 中の各ブロック 5 a）を備えており、各ラッチ回路は、水平シフトレジスタ 4 から出力されたシフトパルスに基づいて、デジタル階調データをラッチする。デジタル階調データは、パネルの外側に設けられるデジタル階調信号供給回路 15 にて生成される。

【0070】ロードラッチ回路 6 は、ロード信号 $LOAD$ 、/ $LOAD$ に基づいて、サンプリングラッチ回路 5 a 内の全ラッチ回路のラッチ出力を同タイミングでラッチする。

【0071】ロード信号 $LOAD$ 、/ $LOAD$ 信号は、水平シフトレジスタ 4 の最終段のレジスタ出力に基づいて生成される。具体的には、ロード信号 $LOAD$ 、/ $LOAD$ は、水平シフトレジスタ 4 の最終段のレジスタ出力をインバータチェーン回路 16 で複数の振り分けたものである。複数の振り分ける理由は、ロード信号 $LOAD$ 、/ $LOAD$ のファンアウトを低減するためである。インバータチェーン回路 16 の出力端には保護ダイオード 17 が接続されている。

【0072】このように、ロード信号 $LOAD$ 、/ $LOAD$ を水平シフトレジスタ 4 の出力を用いて生成することにより、外部からロード信号を供給する必要がなくなり、入力信号数を削減できる。

【0073】階調選択部 1 1 は、図 9 に詳細な回路図を示すように、デコード回路 2 1 と、デコード回路 2 1 の各出力端子に接続された複数のレベル変換回路（レベルシフタ、第 2 レベル変換回路）2 2 と、各レベル変換回路 2 2 の出力に応じてオン・オフ制御される複数のアナログスイッチ（選択回路）2 3 とを有する。

【0074】階調選択部 1 1 には、図 9 の回路が複数設けられている。具体的には、ロードラッチ回路 6 内の各ラッチ回路ごとに図 9 の回路が設けられている。

【0075】レベル変換回路 2 2 は、例えば図 10 のような回路で構成される。図 10 の回路は、10V と (-5)V との間に直列接続された PMOS トランジスタ Q21 および NMOS トランジスタ Q22 と、同じく 10V と (-5)V との間に直列接続された PMOS トランジスタ Q23 および NMOS トランジスタ Q24 とを有する。このレベル変換回路 2 2 により、0~10V の入力電圧は、(-5)~10V の電圧に変換される。

【0076】アナログスイッチ 2 3 の一端にはアナログ階調電圧が供給される。このアナログ階調電圧は、図 11 に示す抵抗分圧回路 2 4 で生成される。抵抗分圧回路 2 4 から出力されたアナログ階調電圧 $V1 \sim V16$ は、アナログバッファ（電流増幅回路）2 5 と保護ダイオード 30 を介して、対応するアナログスイッチの一端に供給

される。アナログスイッチ 23 の他端には、対応する信号線が接続されている。

【0077】抵抗分圧回路 24 には、外部から 2 種類の基準電圧 V_{ref1} 、 V_{ref2} が供給され、これら基準電圧を抵抗で分圧することにより、アナログ階調電圧が生成される。

【0078】このように、抵抗分圧回路 24 とアナログスイッチ 23 との間にアナログバッファ 25 を設けることにより、抵抗分圧回路 24 からアナログスイッチ 23 側に多くの電流を流す必要がなくなり、抵抗分圧回路 24 での消費電流を低減できる。具体的には、抵抗分圧回路 24 内の抵抗素子の抵抗値を十分に大きくすることが

できる。

【0079】図 9 に示した 16 個のアナログスイッチ 23 のうち、いずれか一つのみがオンし、デジタル階調データに応じたアナログ階調電圧が選択される。

【0080】信号線選択部 12 は、図 11 に詳細な回路図を示すように、複数のアナログスイッチ 25 を有する。具体的には、階調選択部 11 内の 16 個のアナログスイッチ 23 に対応して、6 個のアナログスイッチ 25 が設けられる。これら 6 個のアナログスイッチ 25 の一端は、階調選択部 11 内の 16 個のアナログスイッチ 23 の各一端に互いに接続されている。また、これら 6 個のアナログスイッチ 25 の他端はそれぞれ対応する信号線に接続されている。これら 6 個のアナログスイッチ 25 は、信号線選択信号 SW1～SW6 の論理に応じてオン・オフ制御される。

【0081】パネル外部に設けられる選択信号供給回路 26 から供給された信号線選択信号 SW1～SW6 は、保護ダイオード 27 を介して、レベル変換回路 28 で電圧レベルが変換された後にアナログスイッチ 25 の制御端子に供給される。

【0082】レベル変換回路 28 は、例えば図 12 のような回路で構成される。この回路では、0～2.5V の電圧振幅をもつ信号線選択信号を (-5)～10V の電圧振幅をもつ信号に変換する。図 12 の点線で示したレベル変換部 31 は、図 7 の回路と同じであり、この回路の後段にさらに PMOS トランジスタ Q25、Q28 と NMOS トランジスタ Q26、Q27、Q29、Q30 からなるレベル変換部 32 を追加した構成になっている。レベル変換部 32 では、レベル変換部 31 の出力である 0～10V の電圧振幅をもつ信号を、(-5)～10V の電圧振幅をもつ信号に変換する。

【0083】信号線選択部 12 は、信号線選択信号 SW1～SW6 の論理に応じて、隣接する 6 本の信号線のうちいずれか 1 本のみを選択する。

【0084】信号線 6 本ごとに図 11 の回路が設けられ、各回路ではいずれか一つの信号線のみアナログ階調電圧を供給する。これにより、信号線 6 本おきに表示が行われる。画素アレイ部 1 には、図 11 に示すよう

に、RGB の各色に対応する信号線が交互に並んでいるため、2 画素単位で表示が行われることになる。

【0085】このように、第 2 の実施形態では、1 水平ラインを表示する際、信号線を 6 本おきに 6 回に分けて駆動するため、サンプリングラッチ回路 5a、ロードラッチ回路 6 および階調選択部 11 を共用でき、信号線駆動回路 2 の構成を簡略化できる。

【0086】また、外部から入力された各種信号の電圧レベルを変換するレベル変換回路を 14、22、28 設けたため、デジタル系の小振幅の信号を直接入力でき、基板の外部でレベル変換を行う必要がなくなる。また、アナログスイッチ 23 の制御端子に入力される信号については、専用のレベル変換回路 22 で電圧振幅を大きくするようにしたため、アナログスイッチ 23 のオン・オフを迅速に行うことができる。

【0087】さらに、抵抗分圧回路 24 は、外部から供給された 2 種類の電圧のみに基づいて 16 種類のアナログ階調電圧を生成するため、外部から多種類の電圧を入力しなくてすむ。また、抵抗分圧回路 24 の各出力端子にアナログバッファ 25 を接続するため、抵抗分圧回路 24 からアナログスイッチ 23 に多くの電流を流す必要がなくなり、抵抗分圧回路 24 の消費電流を削減できる。

【0088】上述した各実施形態では、 144×176 画素の表示解像度をもつ例について説明したが、これ以外の表示解像度についても同様に適用可能である。

【0089】また、上述した各実施形態では、信号線を 6 本おきに駆動する例について説明したが、信号線を何本おきに駆動するかは、特に限定されない。

【0090】

【発明の効果】以上詳細に説明したように、本発明によれば、信号線を複数本おきに複数回に分けて駆動するようにしたため、第 1 ラッチ回路、第 2 ラッチ回路および D/A 変換回路の数を削減でき、信号線駆動回路の構成を簡略化できる。したがって、信号線駆動回路を信号線、走査線および画素トランジスタ等と同一の絶縁基板上に容易に形成できる。

【0091】また、外部から入力された信号を絶縁基板上でレベル変換するようにしたため、絶縁基板の外側でレベル変換する必要がなくなる。また、絶縁基板上のトランジスタに最適なレベルに各信号の電圧レベルを設定できるため、信号線駆動回路 2 の動作を安定化させることができる。

【0092】さらに、外部から供給された 2 種類の電圧のみでアナログ階調電圧を生成するため、外部から多種類の電圧を供給する必要がなくなり、液晶表示装置全体の構成を簡略化できる。

【図面の簡単な説明】

【図 1】本発明に係る液晶表示装置の第 1 の実施形態のブロック図。

【図 2】 (a) は V 反転駆動を説明する図、(b) は H 反転駆動を説明する図。

【図 3】 図 1 の D/A 変換回路 7 の詳細構成を示す回路図。

【図 4】 図 1 の液晶表示装置のタイミング図。

【図 5】 本発明に係る液晶表示装置の第 2 の実施形態のブロック図。

【図 6】 保護ダイオードの詳細構成を示す回路図。

【図 7】 レベル変換回路の詳細構成を示す回路図。

【図 8】 水平シフトレジスタ、サンプリングラッチ回路 およびロードラッチ回路の接続関係を示す回路図。

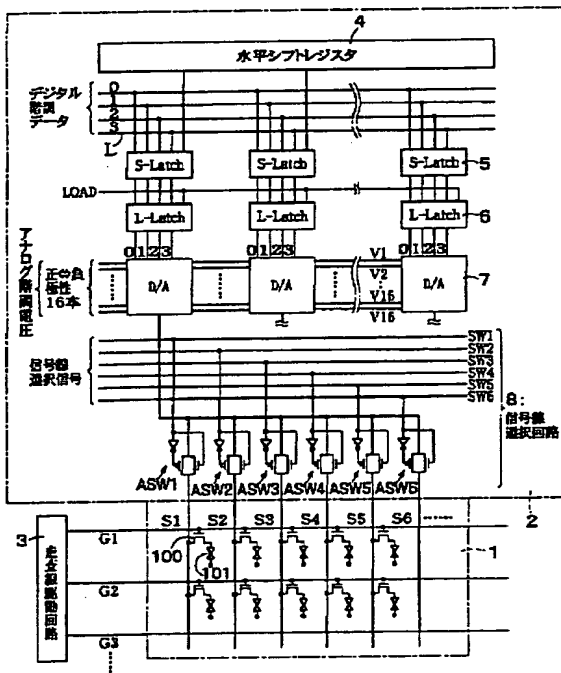
【図 9】 階調選択部の詳細構成を示す回路図。

【図 10】 レベル変換回路の詳細構成を示す回路図。

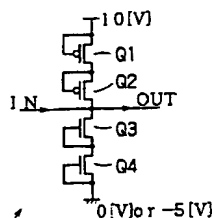
【図 11】 抵抗分圧回路および信号線選択部の詳細構成を示す回路図。

【図 12】 レベル変換回路の詳細構成を示す回路図。

【図 1】



【図 6】



13: 保護ダイオード

【図 13】 従来の液晶表示装置の概略構成を示すブロック図。

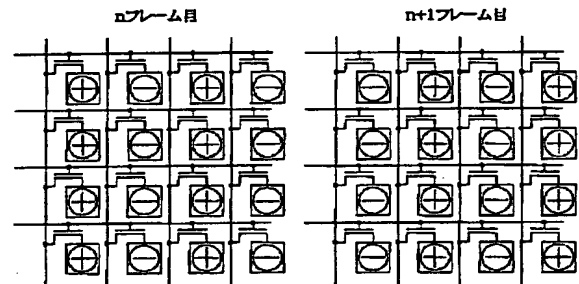
【符号の説明】

- 1 画素アレイ部
- 2 信号線駆動回路
- 3 走査線駆動回路
- 4 水平シフトレジスタ
- 5 サンプリングラッチ回路
- 6 ロードラッチ回路
- 7 D/A変換回路
- 8 信号線選択回路
- 11 階調選択部
- 12 信号線選択部
- 13 保護ダイオード
- 14, 22, 28 レベル変換回路 (L/S)

【図 2】

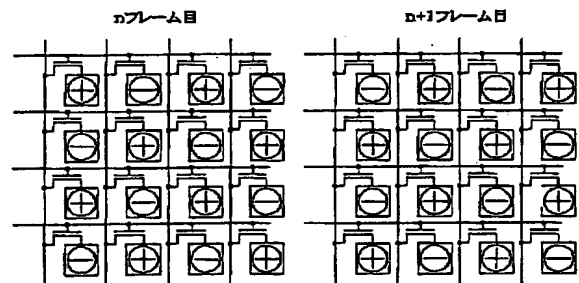
(a)

V反転駆動

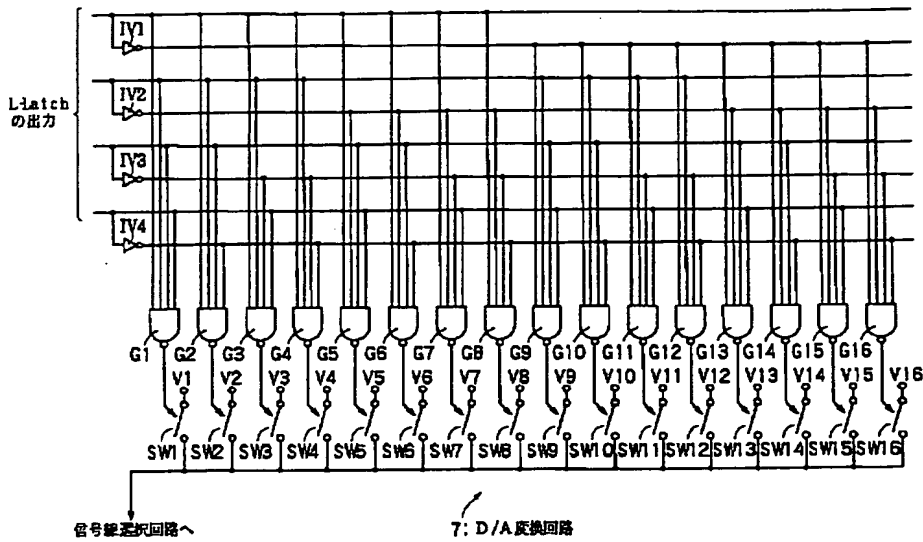


(b)

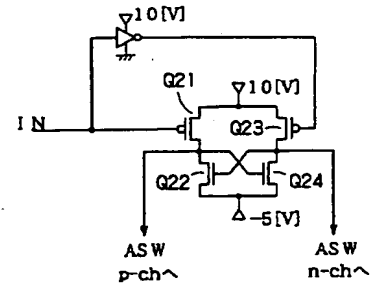
HV反転駆動



【図3】

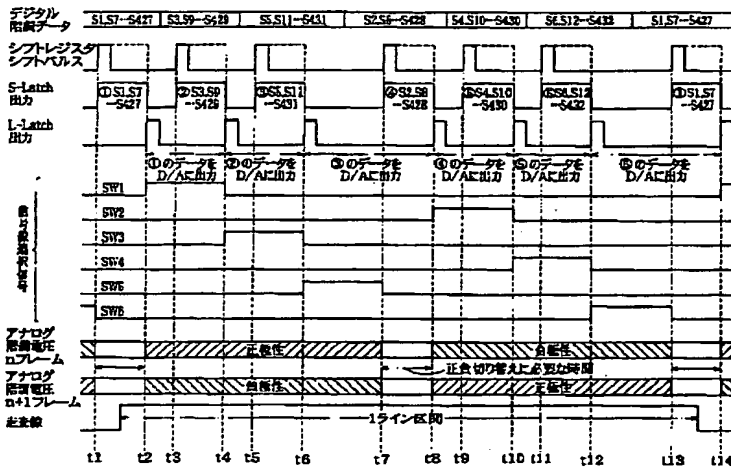


【図10】

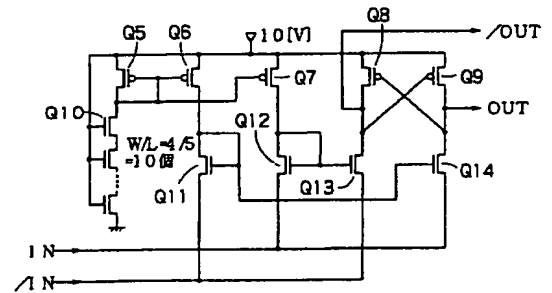


22: レベル変換回路

【図4】

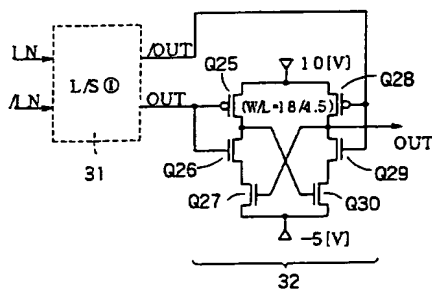


【図7】



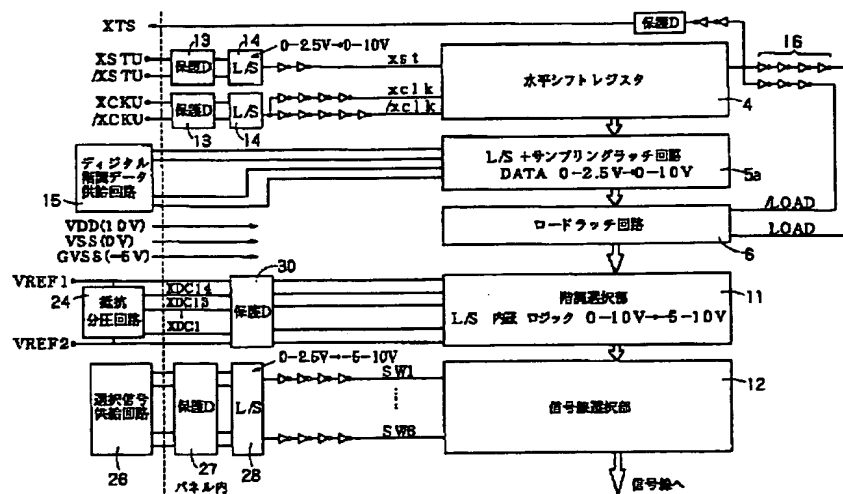
14: レベル変換回路

【図12】

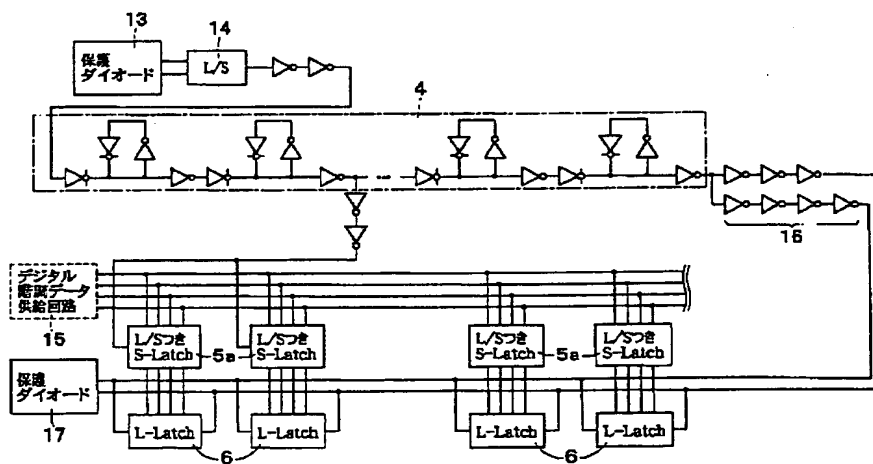


28: レベル変換回路

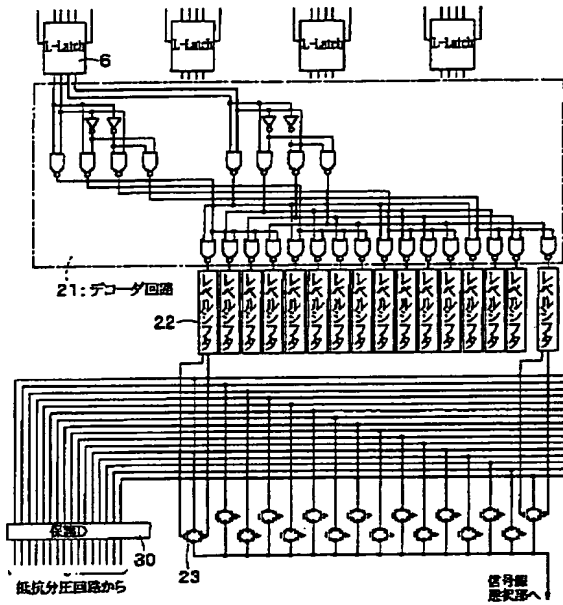
【图 5】



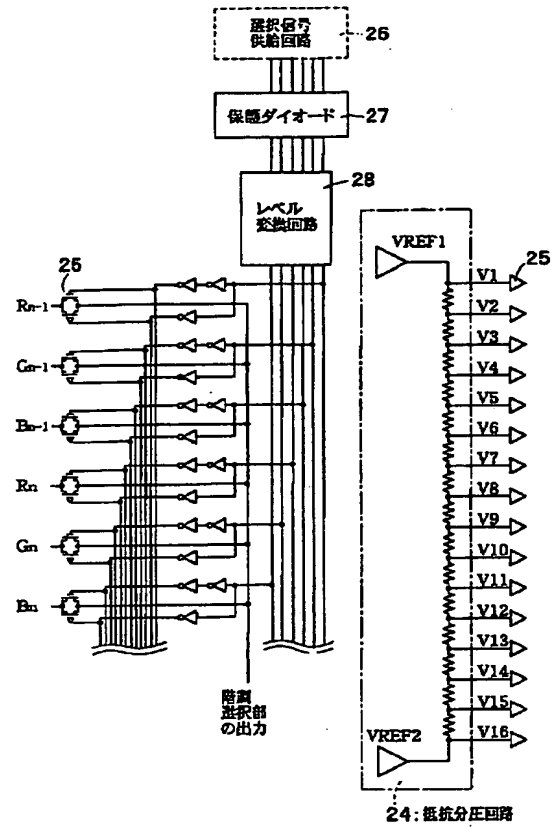
【図 8】



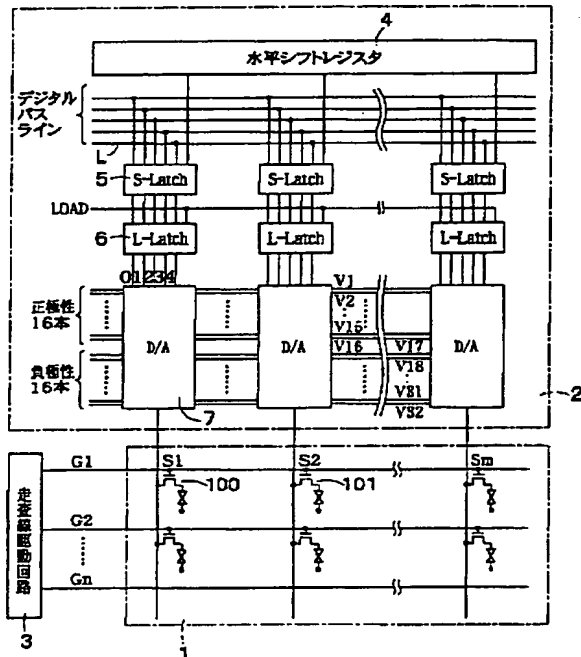
【図9】



【図11】



【図13】



フロントページの続き

(51) Int. Cl. ⁷

G 0 9 G 3/20

識別記号

6 4 1

F I

G 0 9 G 3/20

テーマコード (参考)

6 4 1 C

F ターム (参考) 2H093 NA33 NA43 NA53 NC13 NC15
NC22 NC23 NC24 NC26 NC34
ND50 ND54 NH06
5C006 AA16 AC02 AF83 BB16 BC03
BC06 BC13 BC23 BF04 BF49
EB05 FA42 FA43
5C080 AA10 BB05 DD23 DD30 FF09
JJ02 JJ03 JJ04 KK02